

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-231257

(43)Date of publication of application : 29.08.1995

(51)Int.Cl.

H03M 1/36

H03C 3/00

H03M 1/64

(21)Application number : 06-022632

(71)Applicant : TERA TEC:KK

(22)Date of filing : 21.02.1994

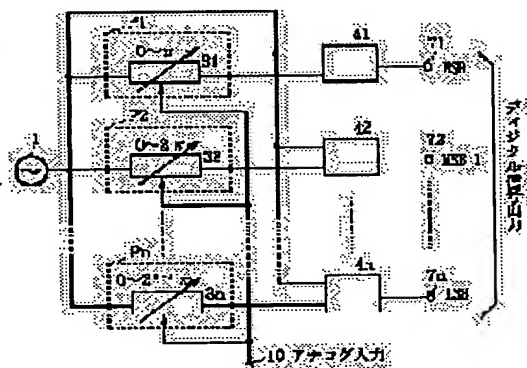
(72)Inventor : SAKAYORI HIROSHI

(54) A/D CONVERTER

(57)Abstract:

PURPOSE: To attain high speed and highly accurate A/D conversion by comparing an output phase of n-sets of phase modulators respectively with a phase of a carrier in which a modulation depth of an i-th modulator among the n-sets of phase modulators is expressed as $\theta \times 2^{i-1}$ (θ is a constant).

CONSTITUTION: The modulation depth of phase modulation elements 31 3n in phase modulators P1-Pn increases as a ratio of a multiple of two as $0-\pi$ radian for the element 31 and $0-2\pi$ radian for the element 32 with respect to an input full scale. A phase of an output of each of the modulators P1-Pn is compared with a phase of an original sine wave by phase comparators 41-4n respectively. An output of each of the phase comparators 41-4n is set to +1 when a phase difference is $0-\pi/2$ and set to -1 when the phase difference is $\pi/2-\pi$. Since the modulation depth of the modulator P1 is π for the MSB, an output of the comparator 41 is +1 till an analog input reaches half the full scale, and is -1 when the input exceeds half the full scale. Since the modulation depth of the modulator P1 is 2π being twice that in the case with the MSB for the digit just below the MSB, an output of the comparator 42 returns from +1 to -1 when the analog input is 1/4 of the full scale and returns to -1 again when the analog input is 3/4 of the full scale. Thus, the output of the comparators represents the conversion result into a negative logic gray code.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-231257

(43)公開日 平成7年(1995)8月29日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 M 1/36

H 0 3 C 3/00

H 0 3 M 1/64

C

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号

特願平6-22632

(22)出願日

平成6年(1994)2月21日

(71)出願人 392017118

株式会社テラテック

東京都武蔵野市中町2丁目11番13号

(72)発明者 酒寄 寛

東京都武蔵野市中町2丁目11番13号 株式
会社テラテック内

(74)代理人 弁理士 井出 直孝

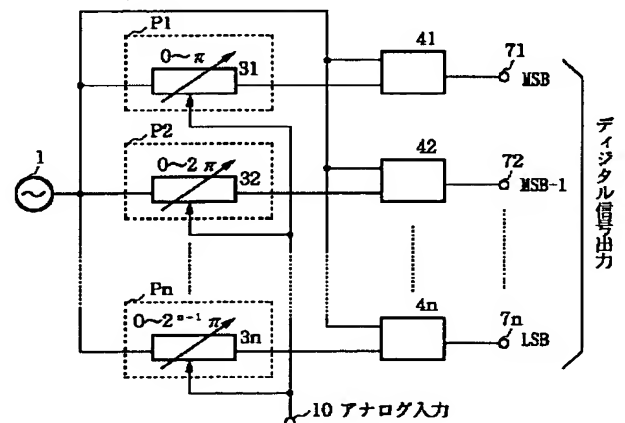
(54)【発明の名称】 アナログ・デジタル変換器

(57)【要約】

【目的】 光信号を用いない超高速アナログ・デジタル変換器を実現する。

【構成】 搬送波周波数信号の位相をアナログ信号により変調させた被変調信号と搬送波周波数信号との位相差を検出する。このとき、位相変調の深さをバイナリにより重み付けすることによってアナログ・デジタル変換を行う。

【効果】 高精度化、高確度化、高周波数化がはかれ、耐雑音特性に優れ信号品質および変換効率を改善させることができる。



(2)

1

【特許請求の範囲】

【請求項1】 アナログ信号入力端子と、搬送波発生回路と、この搬送波をアナログ信号によりそれぞれ位相変調する複数 n 個の位相変調器とを備え、この n 個の位相変調器はその i 番目 ($i \leq n$) の変調器についてその変調深さが

$$\theta \times 2^{i-1} \quad \text{ただし } \theta \text{ は定数}$$

であり、この n 個の位相変調器の出力位相をそれぞれ前記搬送波の位相と比較する n 個の位相比較器と、この位相比較器の出力がそれぞれ送出される n 個のデジタル出力端子とを備えたことを特徴とするアナログ・デジタル変換器。

【請求項2】 搬送波は正弦波である請求項1記載のアナログ・デジタル変換器。

【請求項3】 $\theta = \pi$ ラジアンである請求項2記載のアナログ・デジタル変換器。

【請求項4】 前記 i 番目の位相変調器は変調深さ θ の位相変調素子が 2^{i-1} 段縦続接続された請求項1記載のアナログ・デジタル変換器。

【請求項5】 縦続接続された複数の位相変調素子の少なくとも一部が複数の位相変調器について共用された請求項1記載のアナログ・デジタル変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電子回路の要素として利用する。特に、超高速アナログ・デジタル変換器の変換精度および感度の改善技術に関する。

【0002】

【従来の技術】 従来例を図11を参照して説明する。図11は従来の超高速アナログ・デジタル変換器を示す図である。図11(a)に示すように、アナログ・デジタル変換を超高速で行うための回路として、光の位相をアナログ入力の電界強度によって変化させ、それを干渉させることで光強度に変換するマッハツェンダ干渉器を用いたアナログ・デジタル変換器が知られている。これは位相変化をバイナリで重み付けすることにより、アナログ・デジタル変換を実現している('NOVEL GaAs/AlGaAs GUIDED-WAVE ANALOGUE/DIGITAL CONVERTOR' R. G. Walker, et. al, ELECTRONICS LETTERS 12th October 1989 Vol. 25 No. 21 pp1443-1444)。図11(b)にこのアナログ・デジタル変換器を実現したときの形状を示す。

【0003】

【発明が解決しようとする課題】 このマッハツェンダ干渉器を用いたアナログ・デジタル変換器は、光源のノイズ、特に位相雑音が電気的手段により得られる信号に比べて大きく、マッハツェンダ干渉器などの電気光変換器の変換効率が低く、十分な信号強度を得るためには大振幅のアナログ入力信号が必要である。また、変換効率を上げるためには干渉器長を長くする必要があり、し

2

たがって大きなアナログ・デジタル変換器を必要とする。このような長大な干渉器を駆動するには、やはり大きな信号入力が必要とする。

【0004】さらに、先に述べた従来例では、アナログ入力にしたがって位相変調した光を干渉させることによって位相差に対応した光強度を得ている。しかし、この方法では、各光位相変換器はその位相特性とともに、振幅特性も厳密に制御されていないと所望の精度と強度の干渉出力を得ることができない。一方、位相比較器を用いて位相差のみを検出する方法をとれば、振幅の変動は原理的に誤差にならないので、高い検出精度が得られる。

【0005】本発明は、このような背景に行われたものであり、アナログ・デジタル変換器の高精度化および高確度化を目的とする。本発明はアナログ・デジタル変換器の高周波化を目的とする。本発明は高感度で超高速なアナログ・デジタル変換を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明はアナログ・デジタル変換器であり、その特徴とするところは、超高速でありながら光信号を用いずに電気信号のみで高い信号品質を確保し、変換を効率良く行うところにある。すなわち、本発明はアナログ・デジタル変換器であり、その特徴とするところは、アナログ信号入力端子と、搬送波発生回路と、この搬送波をアナログ信号によりそれぞれ位相変調する複数 n 個の位相変調器とを備え、この n 個の位相変調器はその i 番目の変調器についてその変調深さが

$$\theta \times 2^{i-1} \quad \text{ただし } \theta \text{ は定数}$$

であり、この n 個の位相変調器の出力位相をそれぞれ前記搬送波の位相と比較する n 個の位相比較器と、この位相比較器の出力がそれぞれ送出される n 個のデジタル出力端子とを備えるところにある。搬送波は正弦波であることが望ましい。さらに、 $\theta = \pi$ ラジアンであることが望ましい。

【0007】前記 i 番目の位相変調器は変調深さ θ の位相変調素子が 2^{i-1} 段縦続接続されることが望ましい。縦続接続された複数の位相変調素子の少なくとも一部が複数の位相変調器について共用される構成とすることもできる。

【0008】

【作用】 搬送波の位相をアナログ信号に比例して変調させ、位相変調の周期性（変調信号の強度が増すにつれ、出力の位相は $0 \sim 2\pi$ ラジアンの間を往復する）を用いてアナログ・デジタル変換を行う。すなわち、被変調信号と搬送波とを位相比較器にそれぞれ入力する。位相比較器の出力は例えば、被変調波の位相と搬送波の位相との位相差が $0 \sim (1/2)\pi$ ラジアンの範囲内のときは「+1」とし、 $(1/2)\pi$ ラジアン $\sim \pi$ ラジアンの

(3)

3
範囲内のときは「-1」とする。このとき、最上位ビットの変調深さを π ラジアンとすると、アナログ入力「0」からフルスケールの2分の1までの間は位相比較器の出力は「+1」、2分の1フルスケールからフルスケールまでは「-1」となる。次の位置のビットは変調深さが2倍になっているので、アナログ入力「0」から4分の1フルスケールまでの間は位相比較器の出力は「+1」、4分の1フルスケールから4分の3フルスケールまでは「-1」、4分の3フルスケールからフルスケールまでは再び「+1」となる。このようにして最下位ビットまで順次デジタル信号変換を行い、アナログ信号を負論理のグレイコードにデジタル信号変換する。

【0009】被変調信号を生成する位相変調器はビット数分設けられ、最上位ビットから最下位ビットまで桁が下がるごとに変調深さが順次2倍ずつ増えていくことが要求される。これは例えば、変調深さが θ の位相変調素子を複数直列に接続し、この θ に、接続された段数 n を乗じて変調深さ $n\theta$ を作ることができる。このように接続段数を適当に設定することにより所望の変調深さを生成することができる。

【0010】

【実施例】本発明第一実施例の構成を図1を参照して説明する。図1は本発明第一実施例のブロック構成図である。

【0011】本発明はアナログ・デジタル変換器であり、その特徴とするところは、アナログ信号入力端子10と、搬送波発生回路としての正弦波信号源1と、この正弦波信号をアナログ信号によりそれぞれ位相変調する複数 n 個の位相変調器 $P1 \sim Pn$ とを備え、この n 個の位相変調器 $P1 \sim Pn$ はその i 番目の位相変調器 Pi についてその変調深さが

$2^{i-1} \times \pi$ ラジアン
であり、この n 個の位相変調器 $P1 \sim Pn$ の出力位相をそれぞれ正弦波信号の位相と比較する n 個の位相比較器 $41 \sim 4n$ と、この位相比較器 $41 \sim 4n$ の出力がそれぞれ送出される n 個のデジタル信号出力端子 $71 \sim 7n$ とを備えるところにある。位相変調器 $P1 \sim Pn$ および位相比較器 $41 \sim 4n$ は、出力されるデジタル信号のビット数 n に等しい数分設けられ、前記変調深さは、MSB（最上位ビット:Most Significant Bit）位置の位相変調器 $P1$ について π ラジアンとしたときにMSBから n 番目のビット位置の位相変調器 Pn について 2^{n-1} ラジアンである。

【0012】正弦波信号源1からの出力は分解能（ n ビット）と同じ数の位相変調器 $P1 \sim Pn$ に供給される。これらの位相はアナログ信号入力端子10から入力されるアナログ信号に比例して変調される。位相変調器 $P1 \sim Pn$ 内の位相変調素子 $31 \sim 3n$ の変調深さは入力のフルスケールに対して位相変調素子 31 が $0 \sim \pi$ ラジアン、位相変調素子 32 が $0 \sim 2\pi$ ラジアンのように二倍ずつ増えて行く。各位相変調器 $P1 \sim Pn$ の出力は位相比較器 $41 \sim 4n$ により元の正弦波の位相と比較される。位相比較器 $41 \sim 4n$ の出力は、位相差が $0 \sim (1/2)\pi$ ラジアン有的时候には「+1」、 $(1/2)\pi$ ラジアン $\sim \pi$ ラジアンのときには「-1」とする。

4
【0013】MSBの場合を考えると、位相変調器 $P1$ の変調深さは π ラジアンなので、アナログ入力フルスケールの2分の1までは位相比較器 41 の出力は「+1」、それを越えると出力は「-1」になる。

【0014】MSBの次の桁は変調深さが2倍の 2π ラジアンになっているので、位相比較器 42 の出力はアナログ入力の4分の1フルスケールで「+1」から「-1」に変わり、つぎに4分の3フルスケールで「-1」に戻る。

【0015】以下同様に、位相比較器 $41 \sim 4n$ の出力の周期は桁が下がる度に2倍になる。この様子を図2に示す。図2はアナログ信号強度とデジタル信号出力との関係を示す図である。アナログ信号強度を横軸にとり、デジタル信号出力を縦軸にとる。これを見ると位相比較器 $41 \sim 4n$ の出力は、アナログ信号を負論理のグレイコードにデジタル信号変換したものになっていることがわかる。

【0016】次に、本発明第二実施例を図3を参照して説明する。図3は本発明第二実施例のブロック構成図である。以下、説明をわかりやすくするために、分解能（ビット数 n ）は「4」として説明する。正弦波信号源1の出力を分配器 $21 \sim 27$ により分解能（4ビット）と同数で位相の等しい信号に分割する。このようにして分割された各分岐が、それぞれデータビットに対応する。

【0017】各分岐に分かれた信号をさらに二つの等しい位相の信号に分割する。このうちの一つは位相変調器 $P1 \sim P4$ を経由して位相比較器 $41 \sim 44$ に入力される。分割されたもう一方の信号は、基準信号として同じ位相比較器 $41 \sim 44$ に入力される。位相比較器 $41 \sim 44$ の出力はフィルタ $51 \sim 54$ を経由して振幅比較器 $61 \sim 64$ に入力される。この出力がデジタル信号出力である。

【0018】位相変調器 $P1 \sim Pn$ の変調深さ制御端子は、バッファアンプ11を経由してアナログ信号入力端子10に接続される。各分岐で分配器 $21 \sim 27$ と位相比較器 $41 \sim 44$ の間に接続される位相変調器 $P1 \sim Pn$ の変調深さは、MSBに対応する分岐では $0 \sim \pi$ ラジアンで、以下桁が下がる毎に2倍になる。本発明第二実施例では、変調深さ $0 \sim \pi$ ラジアンの位相変調素子3を複数直列接続することでこれを実現している。つまり、MSBの分岐では1個、その次のビットでは2個と桁が下がるにしたがって2倍ずつ増え、LSB（最下位ビット:Least Significant Bit）では 2^{n-1} 個となる。すな

(4)

5

わち、 $n=4$ なので8個となる。

【0019】次に、本発明第二実施例の動作を説明する。正弦波信号源1から出力される正弦波を等しい位相の二つの信号に分ける。この正弦波信号は、アナログ信号入力帯域よりも充分高い周波数で、純度は高いほどよい。その一方の位相をアナログ信号入力の振幅に比例して変化させる。これを分割したもう一方の信号の位相と位相比較器41～44で比較する。本発明第二実施例では、位相比較器41～44に乗算器を用いる。位相の異なる二つのサイン関数の積は、 $\sin(\omega t + \theta) \times \sin \omega t = 1/2 [\cos \theta - \cos(2\omega t + \theta)]$ となる。ここに、 ω は角周波数、 t は時間、 θ は位相差である。これより、乗算器の出力にフィルタ51～54をかけて元の正弦波の二倍の周波数成分を取り除くことにより、位相差の余弦に比例した出力が得られることがわかる。

【0020】アナログ信号入力が入力スケールまで変化すると、MSBに対応する位相変調器P1の位相が0から π ラジアンまで変化するので、位相比較器41の出力はコサイン関数の半周期に比例したものになる。これを零を基準レベルとする振幅比較器61～64を通すことにより、入力がフルスケールの2分の1まではハイレベル、それ以上はローレベルのデジタルデータが得られる。以下、同じ要領で先の動作原理と同様のデジタルデータが得られる。図4はアナログ信号強度およびフィルタ51～54の出力およびデジタル信号出力の関係を示す図である。横軸にアナログ信号強度をとり、縦軸にフィルタ出力およびデジタル信号出力をとる。フィルタ51～54の出力の位相はアナログ信号入力端子10から入力されるアナログ信号に比例し、その変調深さは入力のフルスケールに対して図4(a)から図4(d)に示すように、順次2倍ずつ増えて行く。このフィルタ51～54の出力が振幅比較器61～64に入力されてデジタル信号として出力される。

【0021】次に、本発明第三実施例を図5を参照して説明する。図5は本発明第三実施例のブロック構成図である。正弦波信号源1の出力を分配器21により位相の等しい二つの信号に分ける。この一方を基準信号、もう一方を被変調信号と呼ぶ。被変調信号の位相を位相変調器P1～P4によりアナログ信号入力に比例して変化させ、LSBの場合にはそれを位相比較器44で基準信号と比較する。この出力が本発明第一実施例と同様にフィルタ54および振幅比較器64を経由してデジタル信号出力端子74に接続される。

【0022】MSBの場合には、分配器23で信号の一部を取り出し、位相比較器41に入力する。基準信号も同様に分配器22により一部を取り出して位相比較器41に入力する。この出力が本発明第一実施例と同様にフィルタ51および振幅比較器61を経由してデジタル信号出力端子71に接続される。

6

【0023】他の桁も同様に、被変調信号の変調深さが2進で重み付けされた位置から分岐して信号を取り出し、それをやはり基準信号から分岐した信号と位相比較して各桁に相当する信号を取り出す。つまり、正弦波信号源1から各ビットの出力までの位相変調素子3の数(全変調深さ)は、MSBを出力する分岐では1個、その次のビットでは2個と桁が下がるにしたがって2倍ずつ増え、LSBでは 2^{n-1} 個、すなわち8個となる。

【0024】次に、本発明第四実施例を図6を参照して説明する。図6は本発明第四実施例のブロック構成図である。図6に示すように、上位二桁と下位二桁の二グループに分け、各グループ内では本発明第三実施例で示した構成を用い、各グループ間では本発明第二実施例で示した構成を用いている。本発明第三実施例は本発明第二実施例に比較して位相変調素子3の数が少なくすむが、下位に行くほど信号レベルが下がるため、分解能を上げることができない。本発明第四実施例の利点は、位相変調素子3の数と分解能とのバランスが取れるところにある。

【0025】次に、本発明第五実施例を図7を参照して説明する。図7は本発明第五実施例のブロック構成図である。本発明第五実施例は、本発明第二～第四実施例において、被変調側にのみ入れていた位相変調器Pを基準側にも入れ、これらを差動的に駆動させるものである。位相変調器PおよびP'は共に変調深さ0～(1/2) π ラジアンで、それらの変調深さは、差動出力を持つバッファアンプ11'で相補信号に変化されたアナログ信号によって制御される。この構成は、本発明第二～第四実施例において適用することができる。また、本発明第一実施例においてもこの原理を適用することができる。

【0026】次に、本発明第一～第五実施例における分配器、位相変調器、位相比較器の構成を図8～図10を参照して説明する。図8は分配器のブロック構成図である。図9は位相変調器のブロック構成図である。図10は位相比較器のブロック構成図である。分配器は、図8(a)に示すように抵抗分配器を用いたり、図8(b)に示すようにウィルキンソンデバイダーを用いている。

【0027】位相変調器は、図9に示すように(1/2) π ラジアンハイブリッドとバラクタダイオードを組合わせた位相変調器を用いている。バラクタダイオードの逆バイアス電圧をアナログ入力にしたがって変化させることにより、反射波の位相を変え、結果としてハイブリッドの出力の位相が変化する。(1/2) π ラジアンハイブリッドとしては、所謂ブランチャインやラットレース回路、方向性結合器等を用いる。

【0028】位相比較器は、図10(a)に示すように乗算器を用いたり、図10(b)に示すようにダイオードによるダブルバランス型ミキサを用いている。

【0029】また、本発明第二実施例で用いた分配器21～27は1:2分配器であるが、1:n分配器を用い

50

(5)

て構成することもできる。

【0030】

【発明の効果】以上説明したように、本発明によれば、高精度、高確度で高感度な超高速アナログ・デジタル変換器を実現することができる。

【図面の簡単な説明】

【図1】本発明第一実施例のブロック構成図。

【図2】アナログ信号強度とデジタル信号出力との関係を示す図。

【図3】本発明第二実施例のブロック構成図。

【図4】アナログ信号強度およびフィルタの出力およびデジタル信号出力の関係を示す図。

【図5】本発明第三実施例のブロック構成図。

【図6】本発明第四実施例のブロック構成図。

【図7】本発明第五実施例のブロック構成図。

【図8】分配器のブロック構成図。

【図9】位相変調器のブロック構成図。

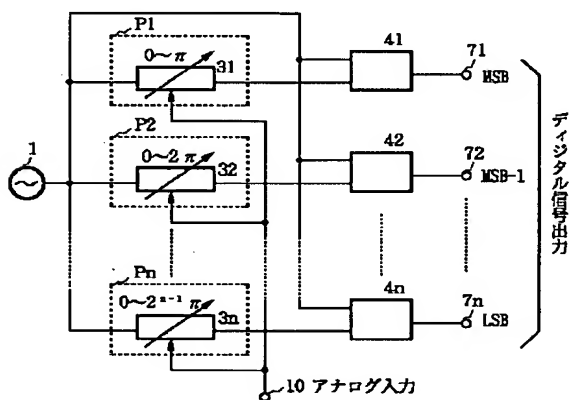
【図10】位相比較器のブロック構成図。

【図11】従来の超高速アナログ・デジタル変換器を示す図。

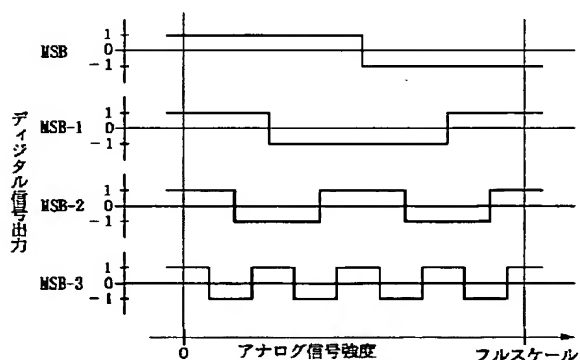
【符号の説明】

- 1 正弦波信号源
- 2、21~27 分配器
- 3、31~3n 位相変調素子
- 4、41~4n 位相比較器
- 10 アナログ信号入力端子
- 11、11' バッファアンプ
- 51~54 フィルタ
- 61~64 振幅比較器
- 71~7n デジタル信号出力端子
- P1~Pn、P、P' 位相変調器

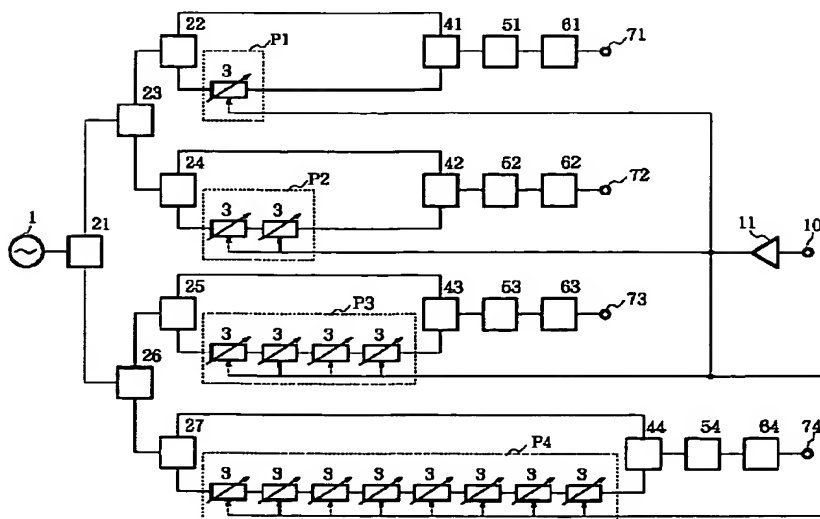
【図1】



【図2】

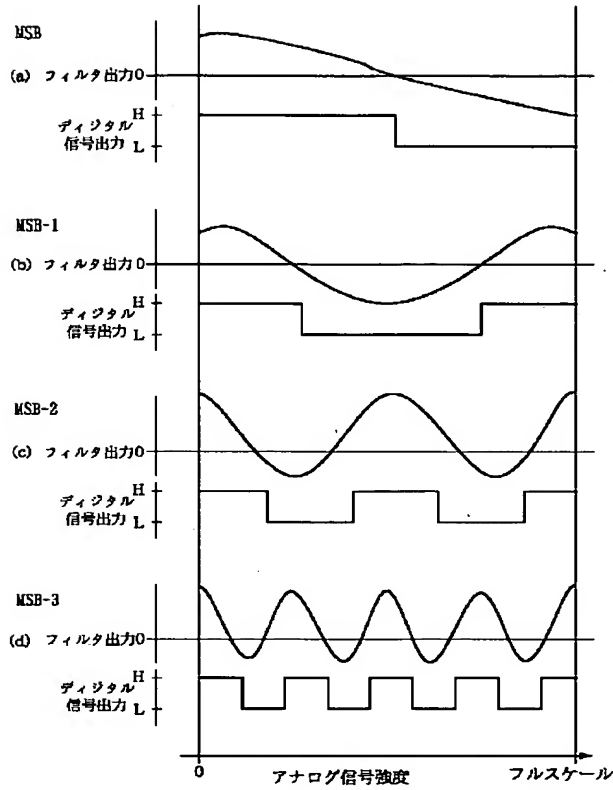


【図3】

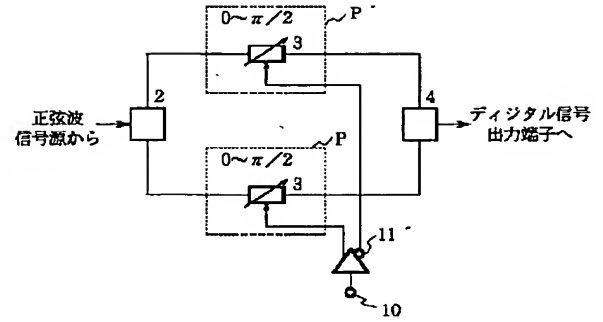


(6)

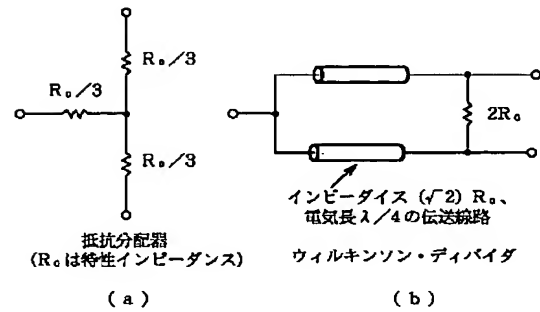
【図4】



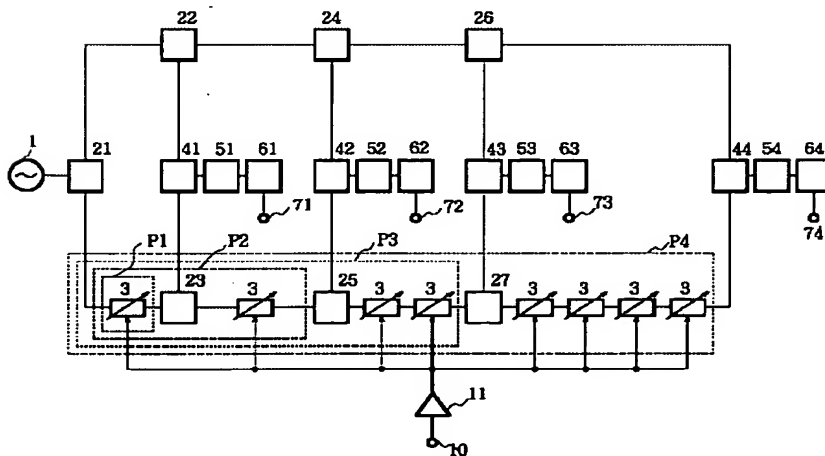
【図7】



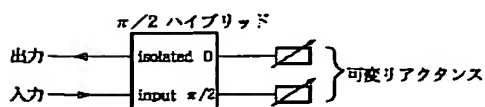
【図8】



【図5】

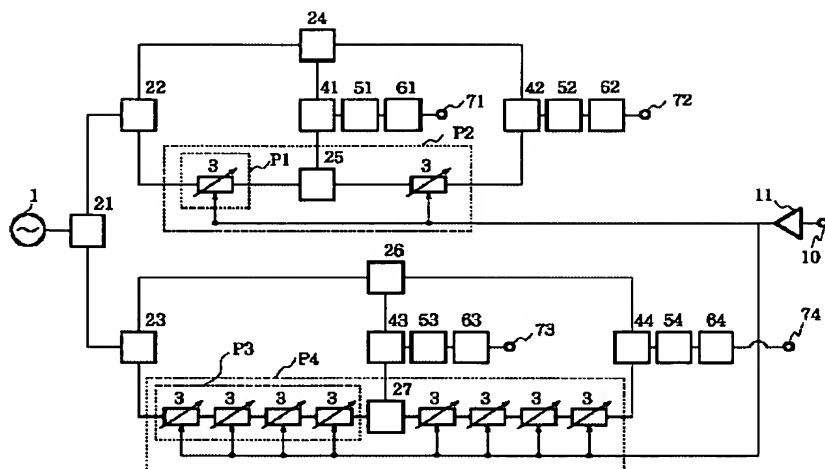


【図9】

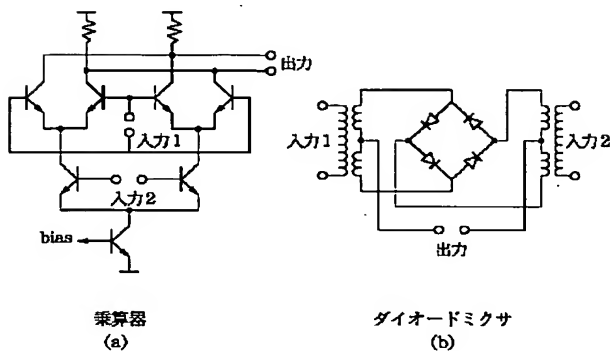


(7)

【図6】



【図10】



【図11】

